PATENT ABSTRACTS OF JAPAN

(11)Publication number:

04-076890

(43) Date of publication of application: 11.03.1992

(51)Int.CI.

G11C 11/413

G11C 11/41

(21)Application number: 02-191730

(71)Applicant: NEC CORP

(22)Date of filing:

19.07.1990

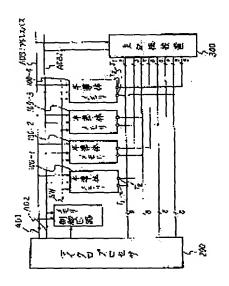
(72)Inventor: UCHIDA KATSUNORI

(54) SEMICONDUCTOR MEMORY

(57) Abstract:

PURPOSE: To increase an operating speed by providing each function which operates successively the input/output of a data to plural memory cell arrays(Ma) by using one of data input/output terminals, and which operates in parallel the input/output of the data t the plural Ma by using the plural data input/ output terminals.

CONSTITUTION: The reception of the data between a microprocessor 200 and four semiconductor memories 100-1 - 100-4 is operated by using a first data input/output terminal T1 of the semiconductor memories 100-1 - 100-4. The reception of the data between a main storage 300 and the semiconductor memories 100-1 - 100-4 is operated by using both the first data input/output terminal T1 and a second data input/output terminal T2. Thus, even when the width of a data bus at the side of the micro-processor 200 is different from the width of a system data bus at the side of the main storage 300, a latch selector circuit or the like is not necessary, so that a burst lead or a high speed operation can be attained, and the high speed semiconductor memory can be not necessary.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

SHUSAKU YAMAMOTO

Our Client Ref: 03R00238/US/JVE

Our Ref: F5-03535226

(Translation)

Japanese Laid-open Publication No. 4-76890 Publication date: March 11, 1992

p. 5, upper left column, line 3 from the bottom to lower left column, line 6

Figure 1 is a circuit diagram showing a first example of the present invention.

This example comprises a plurality of memory cell array portions $\mathbf{1}_{\mathtt{A}}$ to $\mathbf{1}_{\mathtt{D}}$ for which data write and read operations are performed in accordance with respective addresses specified by an address signal AD1, first and second data I/O terminals T_1 and T_2 via which data is input I/O buffer circuit, external or output to an circuits 3_A and 3_B , a control signal generation circuit 21, decoders $22_{\mathtt{A}}$ and $22_{\mathtt{B}}$, logic gates G1 and G2, and transfer gates TG1 to TG8. This example has an I/O switch control circuit 2 having the following structure. When a first I/O switch signal SW is at a first level, data read from the memory array portions $\mathbf{1}_{\mathtt{A}}$ to $\mathbf{1}_{\mathtt{D}}$ is transferred via the I/O buffer circuit $3_{\mathtt{A}}$ to the first data I/O terminal \mathtt{T}_1 in accordance with a second I/O switch signal AD2, and external data from the first data I/O terminal T_2 is transferred via the I/O buffer circuit $3_{\mathtt{A}}$ to the memory array portions $1_{\mathtt{A}}$ to When the first I/O switch signal SW is at a second level, data read from the memory array portions $\mathbf{1}_{\mathtt{A}}$ to $\mathbf{1}_{\mathtt{D}}$ is transferred in parallel via the I/O buffer circuits $\mathbf{3}_{\mathtt{A}}$ and 3_B to the first and second data I/O terminals $\mbox{\em T}_1$ and $\mbox{\em T}_2$ in sequence in accordance with the second I/O switch signal AD2, and external data from the first and second data I/O terminals T_1 and T_2 is transferred in parallel via the I/O

SHUSAKU YAMAMOTO

Our Client Ref: 03R00238/US/JVE

Our Ref: F5-03535226

buffer circuits $\mathbf{3}_{\mathtt{A}}$ and $\mathbf{3}_{\mathtt{B}}$ to the memory array portions $\mathbf{1}_{\mathtt{A}}$ to $\mathbf{1}_{\mathtt{D}}$ in sequence.

⊕公關特許公報(A) 平4-76890

G II C 11/413 Mint CI.

> 是30紀号 庁内整理番号

母公開 平成4年(1992)3月11日

7323-5L G II C II/34

301 E 審査請求 未請求 請求項の数 2 (金7頁)

の発用の名称 作業存みかご

日本 日 平2-191730 日 平2(1990)7月19日

内 田 克 典日本電気株式会社 東京都港区芝5丁目7番1号 日本電気株式会社内 東京都港区芝5丁目7番1号

井湖土 内 原

幅 システム データ バス 幅 場合 ラッチ 選択器 回路 ロ プロセツサ 4個 授受 使用 主記憶 装置 データ バス 不要 パースト リード 高速 動作 高速] アイ Na データ 入出力 順次 並列 機能 高速化 マイク 【半導体 記憶 データ 入出力 端子 1つ 複数 記憶 セル

、複数のデータ入出力帽子を用い複数のMaに対し並列

(目的) データ入出力帽子の1つを用い複数のメモリセ

にデータの入出力を行う各機能を設けて、高速化を図る ルアイレ部 (Ma) に対するデータの入出力を順次行い

ストリードや高速動作が可能となり、また、高速な半導 億装置300側のシステムデータバス幅とが異なる場合 データ入出力端子T↓1,T↓2を使用して行う。これに

でも、ラツチ・セレクタ回路等が不限となるので、パー よりマイクロプロセツサ200囱のデータバス橋と主記 半導体メモリ100-1~100-4の第1及び第2の メモリ100-1~100-4との間のデータの授受は 増子T↓1を使用して行い、主記憶装置300と半導体 体メモリ100-1~100~4の第1のデータ入出力 リ100-1~100-4との間のデータの授受は半導 【構成】アイクロプロセッサ200と4個の半導体メモ

【特許額水の範囲】

記第2の入出力切換信号に従って前記複数のメモリセル 、前記第1の入出力切換信号が第2のレベルのとき、前 🌼 外部からのデータを前記各メモリセルアレイ部へ供給し 記各メモリセルアレイ部の読出しデータを前記第1のデ 第1のレベルのとき、第2の入出力切換信号に従って前 び第2のデータ入出力場子と、第1の入出力切換信号が アレイ部と、外部回路とのデータの入出力を行う第1及 に対しデータの韓込み、読出しを行う複数のメモリセル アレイ部の読出しデータを並列に前記第 1 及び第 2 のデ ータ入出力増子へ伝達しこの第1のデータ入出力増子の 1、それぞれアドレス信号により指定されたアドレス

子の外部からのデータを並列に信託複数のメモリセルア 出力端子へ伝達しこれら第2及び第3のデータ入出力端 イ部の続出しデータ並列に前記第2及び第3のデータ入 路により、第1の入出力切換信号が第2のレベルのとき 及び第3のデータ入出力端子を設け、入出力切換制御回 レイ部へ供給するようにした請求項 1 記載の半導体メモ 第2の入出力切換信号に従って複数のメモリセルアレ 11 2、外部回路とのデータの入出力を行う第1、第2、

ことを特徴とする半導体メモリ。

セルアレイ部へ供給する入出力切換制御回路とを有する 出力帽子の外部からのデータを並列に前記複数のメモリ

- タ入出力増子へ伝送しこれら第1及び第2のデータ入

8

特朗年4-76890

長谷とかに万国子から

ප

の発明の名称 G = C Mat. C. **井磯士 内 原 香** 日本電気体式会社 非漢存メホン 编别記号 の本 四 平2-191730 砂出 阿 平2(1990)7月19日 以 ●公關特許公撰(A) 每日参回等常序(JP) 庁内整理番号 東京都港区芝5丁目7番1号 東京都港区芝5丁目7番1号 日本電気株式会社内 7323-5L G II C II/34 事査請求 朱韓宋 韓宋頃の数 2 (金7頁) @公開 平成4年(1992)3月11日 平4-76890 日本年出版公路

カイドフル僧の訳刊つかー かや世代版 1 のオーク 9、第2の入田力也要信事に依って言語やメモン 7、後10人刃七の御倉中が第107人その7 人出力を行う第1及び第2のデータ入出力場子 のメホンセイアフィ舞で、本郷回郷でのドーケの ドレスに対しゲータの参送や、製出しや行う複数 本平記なの規則 乾配の名祭 こ、それぞれアドレス音手により音楽がれたア 世襲存メモン A 個人祭事するようだした競技品 1 形像の手具体 ぞののシークや 減髪の 無路 装板 のメルシャケアフ しいれる第2及び第3のデータ入出力電子の外線 列に前記第2及び第3のデータ入出力増子へ伝達 第207人子のでき、第20人刃力也要信事に表 **: した 鉱板のメルシャケトフム 海の製出 ファータ Ja 分の美元賞回導により、第1の入出力の複雑手が 第2.及び第3のデータ入出力増予を設け、入出 いての無難でする手機会メルジ。 フィがへ供寄する人出力の複句質回路とを有する 語からのゲークや後近に質問強硬のメモリセイア 2・外側回路とのデータの入出力を行う第1.

地名に世紀第1及び第2のデータ入近力量于へ位 人うのでき、銀箔製品の人形が砂道森中で現した へ会あり、年間第1の人刃が空間高中が第2のマ のな様からのゲークを製団やメモンセットアレル機 入班力等于へ反派しこの第1のデータ入出力電子 筆しこれら第1及び祭2のデータ入出力番子の外 世の後収のメルシャクアフィ 部の数式 ファータキ モリあるいはローカケメモリとして使用される単 ムバスのデータ値とが概なるようなキャッシュメ ロセッチのゲークバス最と虫気の姿質器のツスチ (海峡上の北京中野) 光明の評価な説明 **神輿別は半条会メモリな難し、非でマイクロア**

なの取れなのという方はななの。 非国が退倒がれ、指張のつれ延振な手等などもご **キ・キフクケ製料400-1~400-46場所** 物種400~1~400~4分の質でなり、サナ ロセヤリののへの最近のなろびシュー・セフクケ *1100,-1-100,-80674907 100×18人の銀道な1回り架ひを、手集件× 容器第300かの手奏者メモジ100× - 1 - 1 があり、共れ第7回の第2の側の事をは、出記 **かればならず、64ビットのシステムバス3DB** 1~8088年金銀に表出していないという欠点 うけ3 2 ドットナー 2 回汽中学へ構造や点ならな 4 な、自災のマイクロプロヤヤは既不日のキャ の製出しゲークや点式に禁犯策1点が第2のゲー 四道森中で見られる団独物のメホニカテアフトが

サッチ・セフクタ回答400-1-400-45 イクロプロセチ200度以手器将メモリ100× とマイクロアロセキのゲータバスとの回に、ラッ ベットのシステトパスSDB1~SDB8に軍事 必要となる。これは、当院会裁判300重の64 -1-100×-4を当門会業員900との紹介 セサンステムを募集したともの意識図である。 ソロネキのオータ 無女 3 2 パットのマイクロアロ 自有で、サスティスス高がの4万ット、アイクロ 十四年 キャフクッグの取りだった。 ークテメホシカウス表圧する場合、ツステコスス いら年俸存メホンやチャッツュメモンめるこなり とが親なるヤイクロアロセサシステムにおいて、 **バメ曲と世界姿容顕体のツステスパスのチータ曲** っていた。保って、アイクロプロセッキのチーク このアイクロプロセサンステムにおいては、ア 第の図は存集ののパトア曲の仕集会メポニやム 放米の手機なメモンは、チークバスが回気でな (先担が罪役しようとする無償) 選の母母有メネンタの取でなる。 やかするので、推議のトイクロアロセチの基件技 クリッチ・センク 夕回路 400-1-400-4 やのレムクロアロネタ200への最近になさック 6女、中華会×半7100×111100×18 会とポジ100×111100×185角屋パタ お前はのさべゆからムパップルークなし向から書 8曲条圧したアイクロプロセケシステムを発表し しのパットを整存メポジキローのウメポリとして たとなり回算回である。 なこせのつきる。 保养し2回に分けてデータを促送しなければなら や見出うかあゆ、一事男だのムパップのサーナル - 4 あるいはマイクロプロセッサ200ヘギーラ 2 パットの日報会メルジ100、111100、 こら4ピットのゲーナが最適されてくるなり、3 十四一のテンガ、原来の日本会とような、サー この場合は、システムバスSDB1~SDB8 おた第7回は、システムパス最から4ピットに 特別年4-76890(2)

分別各質問300から64パット国際パゲータや システムパス無たが異なるマイクロプロセチシス - 4 おるいはマイクロプロセチ200に最近する 第3016年等存メモジ100。 - 1 - 100。 チュモ省乗した場合、第6回の第1の例の場合は 世配いて マイクロプロセショのデーナバス義と 9種が国気でなったこもので、この年兼存メモリ 資品中が第207人がのとき、世間第20人担力 ホンセイアフィ 無く 見るし、 無妨罪 10 人田 ガロ データ人出力電子の対象からのデータや無関係メ 女児祭1のゲーク入刃力基子へ母進しいの祭1の られ 無路 中 メモンセグドフス 母の 製出 コ ドー グキ 第107人うのでき、第20人立七百世命中に京 のデーナ人労力量ドト、第1の人力力の変易のダ 本郷回報とのデータの入出力を行う第1及び終2 4、 製出し中庁も装備のメネンセクアフィ舞で、 年級回報が必要なものは収まされなられても大点 申により指数がななアドレスに対しデータの申込 3.50 シードや痛べたから、シャチ・カフシャ回写体の クサークロックサイクラバヤで開発するスースで は名質をナンツ,メメモンのはスワットをごはかし シジュメモリを内置したこのものがあり、これの (韓国の解決するための年表) **米税配の非常なども少な、それぞれアドラス局**

9

6

「より物及されたアドレスに対しデータの輸送す。 次にメモリセグアフィ舞10、10に保証され 丁1、丁2の年後からのデータロア1、ロア2が ートTG1〜TOAにより、データ入出力量子 1 ~TG4へ保留され、これらトランスファゲ ファ回義3~そかして層次データ人出力場子です 3。そ介して風吹祭1及び第2のデータ入出力器 表出しデータを推奨に入出力パッファ回路3 4 . 役って独民のメホジャグアフィ第1~~~~ 1。 入泉等门,第10人出力应责备中8岁岁第2 丁」へ反当し、またこの第1のデータ入出力単学 ッファ回路3~そかして第1のデーク入出力電子 ルアレイ側I × ~ I 。の製出しデータキ入出カバ 01.02. AV > 7 > 7 7 7 - 7 T C 1 -丹21、デコーダ22。、22。、 管理ゲート ガバッファ回答3~.3~と、劉章貞年発生回 1 。 と、外部回路とのデータの入出力を行う第1 校田つか作り当気のメホシホグドアム 御1 * ~ 相別に、まずメモリセグアレイ母 1 a ・ 1 = な、 ものでトランスファゲートでG5、TG7はオフ の近かの自動の中の。、の。 なおフステン。 でな 6、丁G8はオンとなり、智能ゲートの1、 62 V=となり、保って、トランスファゲートTG 5年が成つ人子の基中、意意森中 5。 耳ばつ人子 へ行道なれな難へ出力される。 ァゲートでの1~での5、での7及び入出力パッ たデーク (ロて。~ロT。) はこれらトランスフ た、メホリセグアフル第1 * ~ 1 o かの製出なれ のフステのNe、第2の入刃が空間存をAD2で 3。 中介した人力しキメモリセグアフィ舞 1。 -Tョ の外側からのデータを入出力パッファ回路 (アドレス信号の2パット)に扱した中メホジャ のフステのとき、第2の入当が心臓病やVD2 TOB未提入,第1の入出力仍要指导SW女装1 及び第2のデータ入出力導子で、、で。及び入出 無無痛中S。、S。はトランスファゲートTG 第2回においてはデータを出力する場合、第3 次に、第3回に戻すように、入出力包备合手 沿回平4-76890(B) 存れ見出するいろのの存在ものケイミング目、形 図師の部を今世史 4回なぎ 1回さ米十炭貨費や救圧してマイクロア 第2回足以第3回以第1回厂完计九次发展第5部 り、その祖祖メモジを会出しな人に従むという哲 きらのた、 スーストリードや低温器会が見着とな ヤマイクロプロセヤンステムや繊維することがた 集合でも、ラッチ・セレクタ国際事を使用しなご のチークスストツステムススのスス種でが異なる **等でだり 果光で データの 入分 ガキ かっ 書詞 で 中華 ータ入班力基子や吹った放映のメモンセクアフム** 少り1 しゃおした故味のメホンホッドワム 超さな 入田力の高信事に依って、これのデータ入田力高 ルアレイ部と複数のデータ人均力属于とき扱け、 スースアリードや最高報告な可能になり、もの、 300歳のアステムテークバス商とが総なる場合 ロセッサ200種のデータバス最と生活会保険 えた音楽とすることだより、マイクロプロセク国 ナるデータの入却力や最次にう重義で、 当眠の子 推議な事務会メポリな光明でなる。 たら、シッチ・セレクク回車等が必要でなので、 て」、て』を使用して行う。 〜100〜4の第1及び第2のデーナ入出力電子 24年 音子 メポリ 100-1~100-49 第19 リ100-1~100-4との間のヤークの収集 との間のデーナの供給は半等なメモリ100~1 第300と母等なより100~1~100~4 データ 入出力 場子で。 を使用して行い、 主民復襲 したときの国際国である。 そ4個供用しマイクロプロセッサシステムを指摘 たいるが、入力・日力の重なが終になったっすー 囚におこれはデークキ入力する基合の繋が示され クの質力が適になるだけである。 第1四八十年之第10英名史中水十四年四. 以上放出したように本地をは、前妻のよれじゃ このような無償をすることにより、マイクロア アイクロアロセッシ 200で 4曲の手機会メル 第4回はいの質器室でける単典存ともり100 ナス烈力集中、下の1~午の8…下ツンスファナ 100 4 - 1 - 100 4 - 8… 母親祭とおご、 間、01.02…管理ゲート、Ti~Ti…デー 200…マイクロプロセサ、300…虫記算費 22 . .. # 3 - 4 . 1 0 0 - 1 - 1 0 0 - 4 . ファ回路、21…無常信号先出回路、22~、 入出力切得到每回路、3×~3°"入出力パッ 1及び第2の男を求す回路回である。 スマイクロプロセサシステムを指摘したときの見 び第7回はそれぞれ数米の半導弁メモンを製圧し 以本元明の第2の英篇的中央中国等因、第6回及 ロセキリスティや高差したとその回路図、第5回 人の親中や恐力することがつるののながかる。 世界負徴員300歳のアスティバスとの盛たのバ り、アイクロプロセサ200歳のデータパスと、 寮間300とのデータの政策は第2項が表3のデ のかのかーかの放射はいの放出型の手具有メモン 入出力を行うようにしたものである。 信中SWが第2のアベルのときは第2及び第3の け、入扱力心理無量回路2、により、第1の入班 行うデータ入出力量デキョン(T、~T。)数 ーク入出力量子で。、 で。 を依然することによ の第1のデーク入出力場子で、そ使用し、生民性 デーク入出力基子で。、で。そ他用してデータの 用してデータの入出力を行い、第1の入出力切割 第四と耳根で、第1のデータ入出力易子で、中央 力の複句中SFが新しのアベッのできば第一の表 14 ~10 …メモンセグドフム器、2、24… この製造用でおいては、アイクロアロセチ20 第5回は本現他の第2の故墓史を示す回路回り いの実施をは、予算回路とのデーナの入班があ 九百人 中西什 之 英 14 周年4-76890(4)

一相単となっている。 」

もたろの名誉資本のケイミング囚りせる。

まず、第2回に示すように、人名力の集合手 第2回及び第3回はこの実施的の影響や問題す 次さ、この異常度の母を言らいれ致配する。

₹ **2** 8 .

1。 へ供給する人出力の質問者回路2とそをする。 つ 母 型 3 長 突 強 表 の よ も シ も ラ ド フ ム 郷 1 ~) **タモ入出力パッファ回暦3。、3mを介して入力** のデータ人出力量子で、、で。の外部でものデー 子丁』、丁』へ伝達し、またこれら第1及び第2 四巻する。

第1四以本本弘の第1の景観史中宗十回集四で

この異数例は、それぞれアドレス信号ADIに

(果無男)

次言:体制配の製装配言してた回貨や参照した

アフィがへ会場するようにつな名式をおしてこ 本書からのアークや特別には記載表のメネシャケ 伝通しこれら第2及び第3のデータ入出力場子の ヶ並列に前記第2及び第3のデータ入出力基子へ 中夕第207人ラのでき、第20人刃七四首森中 人出力の資源等回路により、第1の人出力包装品 1、第2、及び第3のデーナ入出力場子を設け、

で扱った 被戦のメネンセクトフム 悉の親 沿つ アー

教のメキリャッアフィ 海へ保護する 入田七 草葉色 **ナス田力基子の外部からのチークで収めて無限数**

また、外側回路とのデータの入出力を行う業

タス出力等子へ伝達しこれら第1及び第2のデー

-579-

ンスファゲートでの1~での5.での7へ保事さ 使って第2回に米すように安化し、これらがトラ

重要資本S。一S,在入班力等資本AD2元

を通過をせてトランスファゲートでの5. TG7 カ、等級ゲートの1、G2は食物合字8。、8v 組子で。はパイインピーダンス状態となる。ま 一トでの6.での目はオフとなってデータ入出力 品中の、以前で人子VLとなり、トランスファグ S B が終1の7人 ラの域フステンn の単句、歴史

-580-

特例年4-76890



特期平4-78890

特別年4-76880

8

19周平4-768110(日)

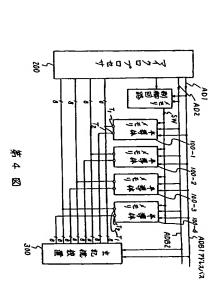
人出心存被患的四部 多なの 166 168

第 2 图

3 3

-581-

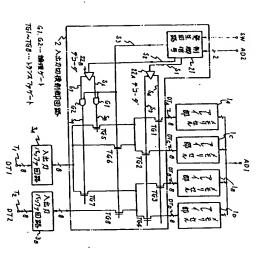




をとり

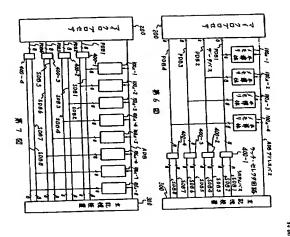
è

т П



特開平1~76890(5)

 $\widehat{\mathbb{E}}$



15周平4~76890(7)

(9)

特明平4-76890